

© EPODOC / EPO

PN - JP4118965 A 19920420
PD - 1992-04-20
PR - JP19900239460 19900910
OPD - 1990-09-10
TI - ANALOG MEMORY ELEMENT AND CONTROL CIRCUIT
IN - AMAMIYA YOSHIHITO;WATA ATSUSHI;FUJITA OSAMU
PA - NIPPON TELEGRAPH & TELEPHONE
IC - G11C16/04 ; G11C27/00 ; H01L27/10 ; H01L29/788 ; H01L29/792

© WPI / DERWENT

TI - Analog memory element finely adjusting charge on floating electrode - has bias control gate and pulse control gate, which are laminated on floating gate NoAbstract
PR - JP19900239460 19900910
PN - JP4118965 A 19920420 DW199229 H01L27/10 004pp
PA - (NITE) NIPPON TELEGRAPH & TELEPHONE CORP
IC - G11C16/04 ;G11C27/00 ;H01L27/10 ;H01L29/788 ;H01L29/792
OPD - 1990-09-10
AN - 1992-237137 [29]

© PAJ / JPO

PN - JP4118965 A 19920420
PD - 1992-04-20
AP - JP19900239460 19900910
IN - FUJITA OSAMU; others:02
PA - NIPPON TELEGRA & TELEPH CORP <NTT>
TI - ANALOG MEMORY ELEMENT AND CONTROL CIRCUIT
AB - PURPOSE:To easily, efficiently, and finely adjust the charge quantity of a floating electrode with high accuracy by successively piling up a bias controlling gate electrode and pulse controlling gate electrode on a floating gate.
- CONSTITUTION:The potential of a floating gate1 is adjusted to a fixed value by applying a voltage across a bias controlling gate 6. Then, a pulse voltage is induced across the bias controlling electrode 6 and floating gate 1 by impressing a voltage pulse upon a pulse controlling gate 7 and electric charges are injected into the gate 1 through a tunnel junction 3. However, high resistances are equivalently connected in series in advance between an external circuit joined to the gate 6 and voltage source so that a pulse

This Page Blank (uspto)

voltage can be induced across the electrode 6. When a fixed pulse is impressed in a state where the potential at the floating gate is controlled to a fixed value, the injected charge quantity always becomes a fixed value. Since a fixed quantity of electric charges is always injected against the fixed potential pulse by performing bias control on the potential of the floating gate 1, the injected charge quantity can be adjusted easily little by little with high accuracy.

I - H01L27/10 ;G11C16/04 ;G11C27/00 ;H01L29/788 ;H01L29/792

This Page Blank (uspto)

⑫ 公開特許公報(A)

平4-118965

⑤ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成4年(1992)4月20日

H 01 L 27/10

4 5 1

8624-4M

G 11 C 16/04

1 0 1

7131-5L

H 01 L 27/00

H 01 L 29/788

29/792

7514-4M

H 01 L 29/78

3 7 1

9191-5L

G 11 C 17/00

3 0 8

審査請求 未請求 請求項の数 2 (全4頁)

⑥ 発明の名称 アナログメモリ素子および制御回路

① 特 願 平2-239460

② 出 願 平2(1990)9月10日

⑦ 発 明 者 藤 田 修 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑦ 発 明 者 雨 宮 好 仁 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑦ 発 明 者 岩 田 穆 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑦ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑦ 代 理 人 弁理士 高山 敏夫 外1名

明 細 書

(産業上の利用分野)

1. 発明の名称

アナログメモリ素子および制御回路

本発明は、電荷蓄積量をアナログ量として記憶するアナログメモリ素子に於て、電荷量を少量ずつ増減することを容易に行える素子ならびにその制御回路に関する。

(従来の技術)

2. 特許請求の範囲

(1) ソースおよびドレインに対してトンネル接合を介して配置されている浮遊ゲートを有する MOS トランジスタメモリ素子において、バイアス電位を与えるバイアス制御ゲート電極とパルス電圧を印加するパルス制御ゲート電極とを前記浮遊ゲート上に積層して形成することを特徴とするアナログメモリ素子。

(2) バイアス電位を与えるバイアス制御ゲート電極とパルス電圧を印加するパルス制御ゲート電極とを前記浮遊ゲート上に積層して形成したアナログメモリ素子に対して、ドレイン電流または電圧を所望の値に保つためのゲートバイアス発生回路をバイアス制御ゲートに接続し、制御パルスをパルス制御ゲートに与えることを特徴とするアナログメモリ素子制御回路。

3. 発明の詳細な説明

LSI 上でアナログ信号量を記憶する必要のある場合が今まで数多く生じていた。例えば、音声や画像信号の記憶、あるいは神経回路の重み係数記憶等はその代表例である。ところが、従来精確なアナログ量の記憶に実用できる半導体デバイスは皆無であった。そのためアナログ記憶を必要とするときには、それを一旦デジタル化して各ビットをデジタルメモリに記憶する以外に、その結果メモリデバイス数の増加と占有面積の増大を招いていた。

そのため、アナログ信号量を直接に記憶できるメモリ素子の開発が望まれていた。従来のデバイスで最もその可能性が高いものは、周囲から電気的に分離されたゲートに蓄積する電荷量でアナロ

グ記憶を行うところの、いわゆる浮遊ゲートMOSトランジスタである。しかし、この浮遊ゲートMOSトランジスタはそのままでは精確なアナログ記憶には適さない。すなわち、今までの浮遊ゲートMOSトランジスタでは、浮遊ゲートに電圧パルス印加してトンネル接合から浮遊ゲートに電荷を注入するとき、注入される電荷量は既に浮遊ゲートに蓄積されている電荷量、および、印加される電圧パルスの高さや幅に大きく依存するため、任意のアナログ量を精度よく設定して記憶することは容易ではなかった。この問題を以下に図を用いて簡単に述べる。

(発明が解決しようとする課題)

第5図に従来の浮遊ゲートMOSトランジスタの構造を示す。図において1は浮遊ゲート、2は制御ゲート、3はトンネル接合、4はドレイン、5はソースを示す。この素子では、制御ゲート2に電荷注入用の電圧を印加するとトンネル接合3の電子障壁に高電界が加わり、その結果トンネル接合3を通じてドレイン4と浮遊ゲート1間にト

ンネル電流が流れ、浮遊ゲート1に電荷が注入される。制御ゲート2に電荷注入用の一定パルス電圧(書き込み:正電圧パルス、消去:負電圧パルス)を繰り返し加えたとき、浮遊ゲート1に注入される電荷量の時間変化を第6図に示す。電荷が注入されるに従って浮遊ゲート1の電位が変化し、トンネル接合にかかる電圧が下がってトンネル電流が流れなくなり平衡状態に達する。すなわち、浮遊ゲート1に既に蓄積されている電荷量によって、注入される電荷量が異なる。逆にいえば、ある一定の電荷量を注入するためには浮遊ゲート1に蓄積されている電荷量を測定した上で、その値に応じて異なる電圧と幅のパルスを印加しなければならない。しかも、このためのパルス電圧と幅の値を求めるためには複雑な計算が必要である。このように、浮遊ゲート1の電荷量を制御することは容易ではなかった。

本発明は上記の欠点を改善するために提案されたもので、その目的は、浮遊ゲートの蓄積電荷量を微少にかつ効率よく調節することが困難であっ

た点を解決したパルス制御ゲート構造を有するアナログメモリ素子ならびにその制御回路を提供することにある。

(課題を解決するための手段)

上記の目的を達成するため、本発明はソースおよびドレインに対してトンネル接合を介して配置されている浮遊ゲートを有するMOSトランジスタメモリ素子において、バイアス電位を与えるバイアス制御ゲート電極とパルス電圧を印加するパルス制御ゲート電極とを前記浮遊ゲート上に積層して形成することを特徴とするアナログメモリ素子を発明の要旨とするものである。

さらに、本発明はバイアス電位を与えるバイアス制御ゲート電極とパルス電圧を印加するパルス制御ゲート電極とを前記浮遊ゲート上に積層して形成したアナログメモリ素子に対して、ドレイン電流または電圧を所望の値に保つためのゲートバイアス発生回路をバイアス制御ゲートに接続し、制御パルスをパルス制御ゲートに与えることを特徴とするアナログメモリ素子制御回路を発明の要

旨とするものである。

(作用)

本発明は浮遊ゲートを有するMOSトランジスタメモリ素子において、浮遊ゲートにバイアス電位を与えるバイアス制御ゲート電極とパルス電圧を印加するパルス制御ゲート電極とを設けたことによって、浮遊ゲートに電荷を注入する際、制御電圧パルスを印加するだけで、浮遊ゲート電荷量を高精度に調節することができる。

(実施例)

次に本発明の実施例について説明する。なお実施例は一つの例示であって、本発明の精神を逸脱しない範囲で、種々の変更あるいは改良を行うことは言うまでもない。

第1図は本発明のアナログメモリ素子の実施例を示す。図において1は浮遊ゲート、6はバイアス制御ゲート、7はパルス制御ゲート、8は酸化膜、4はドレイン、5はゲートを示す。すなわち浮遊ゲート1上にバイアス制御ゲート6とパルス制御ゲート7を積層して形成するものである。

次に本発明のアナログメモリ素子の動作について説明する。

まず、バイアス制御ゲート6に電圧を加え浮遊ゲート1の電位がある一定値となるように調節する。次にパルス制御ゲート7に電圧パルスを印加して、バイアス制御電極6、及び浮遊ゲート1にパルス電圧を誘起し、トンネル接合3を介して電荷を浮遊ゲート1に注入する。ただし、このときバイアス制御ゲート電極6にパルス電圧が誘起されるように、バイアス制御ゲート6に結合する外部回路において電圧源との間に等価的に直列に高抵抗を接続しておく(第3図)。浮遊ゲート電位を一定値に制御した状態で一定のパルスを加えた場合、注入される電荷量は常に一定量となる。

以上のようにして、本発明のアナログメモリ素子によれば、浮遊ゲート電位1のバイアス制御を行うことにより、一定の電圧パルスに対して常に一定の電荷量が注入されるので、注入電荷量を小さく正しく調整することが容易にできる。

本発明のアナログメモリ素子の第2の実施例を

に近づく方向に出力電圧すなわちゲート電圧を変化させる。例えば、nチャネルMOSトランジスタの場合、ソース・ドレイン電流が目標値より小さいときは出力電圧を増加させてゲート電圧を上昇させることによりソース・ドレイン電流を増加させる。逆に、目標値より大きいときには出力電圧を下げ、ゲート電圧を下げることによりソース・ドレイン電流を減少させる。pチャネルMOSトランジスタの場合は増加と減少を逆にする。バイアス制御ゲート電極6には等価的に直列に高抵抗を接続しておくか、または、ゲートバイアス電圧発生回路の出力を高インピーダンスとする。これによりバイアス制御ゲートの帰還制御回路における発振現象を抑制することができる。

バイアス制御ゲート6の電圧を制御して、ソース・ドレイン電流または電圧をある一定値に保持すると、MOSトランジスタのチャネル領域にかかる電界はある一定値に保持されている。すなわち、浮遊ゲート1の電位がある一定値にほぼ等しい状態に制御されている。この状態にした後、パ

第2図に示す。第1の実施例に比べて、バイアス制御ゲート電極に直列に接続された高抵抗層9が一体構造として形成されている点異なる。この高抵抗層9は、パルス制御ゲート7の電圧パルスに対する容量負荷を小さくし、パルス電圧が十分に誘起されるようにするためのものである。また、バイアス制御回路の時定数を大きくし、パルス印加の影響によるバイアス制御回路の変動や発振を抑制する効果を持つ。バイアス制御ゲート電極全体を高抵抗層で形成しても同様の効果が得られる。

次に、アナログメモリ素子のバイアス制御ゲートの制御回路について説明する。この制御回路は浮遊ゲートの電位をある一定値に保持するためにバイアス制御ゲートの電圧を制御する回路である。

第3図は本発明の制御回路を示す。ソース・ドレイン電流電圧測定回路10はMOSトランジスタのソース・ドレイン電流または電圧を測定する。ゲートバイアス電圧発生回路11はソース・ドレイン電流または電圧と一定の目標値とを比較して、ソース・ドレイン電流または電圧が一定の目標値

パルス制御ゲート7に電圧パルスを印加すれば、浮遊ゲートに蓄積されている電荷量に関わらず、注入される電荷量を常にほぼ一定にすることができる。一回のパルスで注入される電荷量はパルス幅によって調節可能で、パルス幅を短くすることにより変化量を微少にすることができる。制御ゲートに電荷注入用の一定パルス電圧(書き込み:正電圧パルス、消去:負電圧パルス)を繰り返し加えたとき、浮遊ゲートに注入される電荷量の時間変化は第4図に示すようにほぼ直線的になる。第4図は横軸にパルス印加回路、縦軸に浮遊ゲートの電荷量をとっている。

以上のようにして、本発明の制御回路を用いて書き込み・消去制御を行えば、一定の電圧パルスを繰り返し印加することにより、一定の精度のアナログ量を任意に設定し、記憶させることが容易にできる。メモリ出力としては本制御回路の動作状態におけるゲートバイアス電圧を用いるか、ゲートバイアス電圧を特定の値に固定したときのドレイン電圧またはドレイン電流を用いればよい。

(発明の効果)

以上説明したように、本発明によれば、浮遊ゲートを有するMOSトランジスタメモリ素子において、バイアス電位を与えるバイアス制御ゲート電極とパルス電圧を印加するパルス制御ゲート電極とを前記浮遊ゲート上に積層して形成することにより、浮遊ゲートに電荷を注入する際、一定の制御電圧パルスを印加するだけで、容易に効率よく浮遊電極の電荷量を微少かつ高精度に調節することができる。

したがって、本発明のアナログメモリ素子をニューラルネットワークのシナプス回路におけるシナプス荷重の記憶に用いれば、シナプス荷重を徐々に増加または減少させて最適なシナプス荷重に収束させるいわゆる学習機能を簡単なパルス制御で容易に実現することができ、学習能力のあるニューロチップを作ることができる効果を有する。

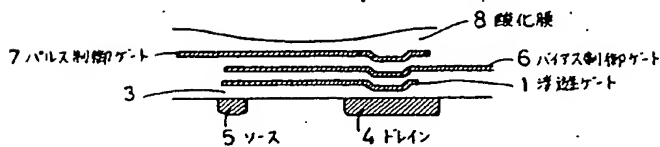
4. 図面の簡単な説明

第1図は本発明の浮遊ゲート形MOSFETの基本構造図(第1の実施例)、第2図は本発明の

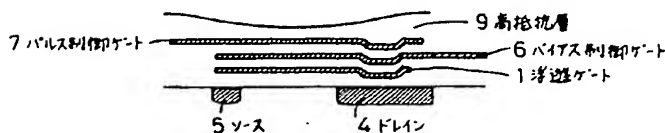
浮遊ゲート形MOSFETの第2の実施例、第3図は本発明の浮遊ゲート形MOSFETの制御回路図、第4図は本発明の浮遊ゲートに一定パルスを繰り返し印加したときの注入電荷量の時間変化の模式図、第5図は従来の浮遊ゲート形MOSFETの構造図、第6図は従来構造の浮遊ゲートに一定パルスを繰り返し印加したときの注入電荷量の時間変化の模式図を示す。

- 1・・・浮遊ゲート
- 2・・・制御ゲート
- 3・・・トンネル酸化膜
- 4・・・ドレイン
- 5・・・ソース
- 6・・・バイアス制御ゲート
- 7・・・パルス制御ゲート
- 8・・・酸化膜
- 9・・・高抵抗層
- 10・・・ドレイン電流電圧測定回路
- 11・・・ゲートバイアス電圧発生回路

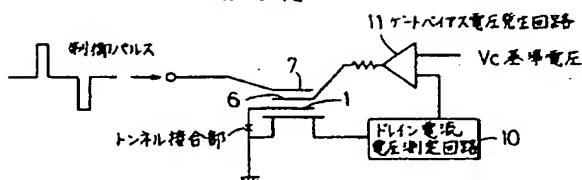
第1図



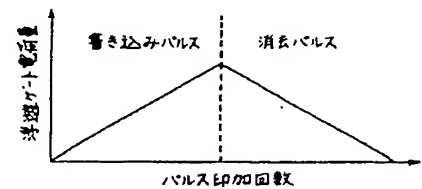
第2図



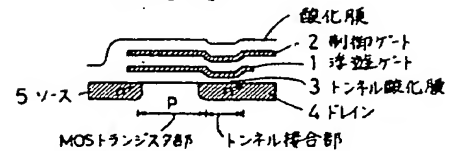
第3図



第4図



第5図



第6図

